

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08008359 A**

(43) Date of publication of application: **12.01.96**

(51) Int. Cl

H01L 23/12

(21) Application number: **06139196**

(22) Date of filing: **21.06.94**

(71) Applicant: **HITACHI LTD**

(72) Inventor: **OCHI YOSHISHIGE
SHIOZAWA KENJI**

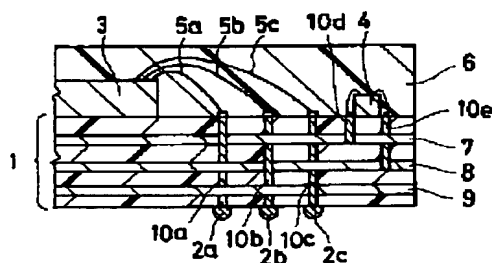
**(54) SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE**

(57) Abstract:

PURPOSE: To obtain a semiconductor integrated circuit device in which a countermeasure to noise can be taken for a high density, high speed BGA package by a structure wherein the connection of a capacitor or the formation of a dielectric layer serves as a noise killer.

CONSTITUTION: In a surface mounting BGA package, spherical solder bumps 2a-2c are arranged in array on the read side of a printed board 1 mounting a capacitor 4, as well as a semiconductor chip 3, on the surface thereof. The semiconductor chip 3 is connected through bonding wires 5a-5c with the solder bumps 2a-2c and sealed with a molding resin 6. The printed board 1 comprises a laminate of a power supply layer 7, a ground layer 8 and a signal layer 9 and the semiconductor chip 3 is connected through the bonding wires 5a-5c and through holes 10a-10c with the power supply layer 7, the ground layer 8 and the signal layer 9. The semiconductor chip 3 is also connected with the solder bumps 2a-2c and the capacitor 4 is connected through the through holes 10a, 10e with the power supply layer 7 and the ground layer 8.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-8359

(43) 公開日 平成8年(1996)1月12日

(51) Int.Cl.⁶

H 0 1 L 23/12

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/ 12

L

N

B

E

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号

特願平6-139196

(22) 出願日

平成6年(1994)6月21日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 越智 賀重

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 塩沢 健治

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

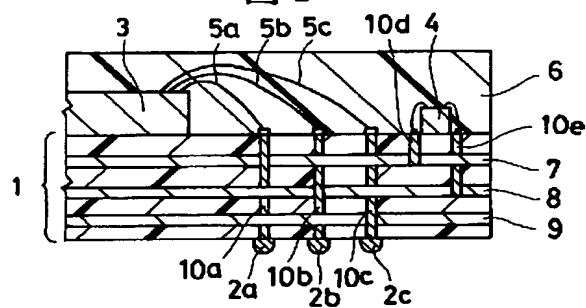
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 BGAパッケージにおいて、コンデンサの接続、または誘電体層の形成によってノイズキラーとして作用させ、高密度・高速化に対応したノイズ対策が可能な半導体集積回路装置を提供する。

【構成】 表面実装形のBGAパッケージであって、プリント基板1の裏面に球形の半田バンプ2がアレイ状に並べられ、この表面には半導体チップ3の他にコンデンサ4が搭載され、ボンディングワイヤ5により接続されてモールド樹脂6により封止されている。このプリント基板1には、電源層7、グランド層8および信号層9が積層され、半導体チップ3が、ボンディングワイヤ5a～5c、スルーホール10a～10cを介して電源層7、グランド層8および信号層9、さらに半田バンプ2a～2cに接続され、またコンデンサ4がスルーホール10d、10eを介して電源層7およびグランド層8に接続されている。

図 2



- 1: プリント基板
2a～2c (2): 半田バンプ
3: 半導体チップ
4: コンデンサ
5a～5c (5): ボンディングワイヤ
6: モールド樹脂
7: 電源層
8: グランド層

【特許請求の範囲】

【請求項 1】 プリント基板の裏面に球形の半田バンプがアレイ状に並べられて入出力端子とされ、かつ前記プリント基板の表面に半導体チップが搭載されてモールド樹脂あるいはポッティングにより封止される BGA パッケージの半導体集積回路装置であって、前記プリント基板を電源層、グランド層および信号層を積層する多層構造として、前記プリント基板の表面にコンデンサを実装し、該コンデンサの端子を前記電源層と前記グランド層との間に接続することを特徴とする半導体集積回路装置。

【請求項 2】 前記コンデンサを、外部からの電源供給端子の極めて近傍に配設し、かつ前記コンデンサの端子の長さを極めて短くすることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記コンデンサとして、周波数特性が良く、高速パルスに対して十分な低インピーダンスとなる素子を用いることを特徴とする請求項 1 または 2 記載の半導体集積回路装置。

【請求項 4】 プリント基板の裏面に球形の半田バンプがアレイ状に並べられて入出力端子とされ、かつ前記プリント基板の表面に半導体チップが搭載されてモールド樹脂あるいはポッティングにより封止される BGA パッケージの半導体集積回路装置であって、前記プリント基板を電源層、グランド層および信号層を積層する多層構造として、隣接する前記電源層と前記グランド層との間に誘電体層を形成して内部容量を強化することを特徴とする半導体集積回路装置。

【請求項 5】 前記誘電体層として、強誘電体材料による層を形成することを特徴とする請求項 4 記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置に関し、特に表面実装形の BGA (Ball Grid Array) パッケージにおいて、高密度・高速化に対応したノイズ対策が可能とされる半導体集積回路装置に適用して有効な技術に関する。

【0002】

【従来の技術】 たとえば、BGA パッケージは、表面実装形パッケージの一種として使用されてきており、プリント基板の裏面に球形の半田バンプをアレイ状に並べてリードの代わりにし、またプリント基板の表面に LSI チップを載せ、モールド樹脂あるいはポッティングで封止することにより製造され、特に 200 ピンを越える多ピンパッケージとして用いられている。

【0003】 なお、この BGA パッケージに関する技術としては、たとえば日経 B P 社、1993 年 8 月 2 日発行の「日経エレクトロニクス 1993 8-2 n o. 587」P104 などに記載されている。

【0004】

【発明が解決しようとする課題】 ところが、前記のような BGA パッケージにおいては、パッケージ自体のノイズ対策に十分な配慮がなされておらず、よってこの BGA パッケージをマザー基板などに実装して所定の電子回路を構成する場合に、マザー基板にコンデンサを搭載してノイズ対策を施す必要がある。

【0005】 特に、高密度・高速化に対応した半導体集積回路装置などにおいては、電源ラインに生じるパルスの影響は無視できなくなっており、このような負荷変動やノイズリプルが発生を防ぐため、さらに他の回路に対して影響を与えないために、電流変動の周期や大きさによって余裕をもって容量を決定する必要がある。

【0006】 そこで、本発明の目的は、BGA パッケージの半導体チップが搭載されるプリント基板において、電源層とグランド層との間にコンデンサを接続したり、または誘電体層を形成することによってノイズキラーとして作用させ、高密度・高速化に対応したノイズ対策を施すことができる半導体集積回路装置を提供することにある。

【0007】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0009】 すなわち、本発明の半導体集積回路装置は、プリント基板の裏面に入出力端子として球形の半田バンプがアレイ状に並べられ、かつ表面には半導体チップが搭載されてモールド樹脂あるいはポッティングにより封止される BGA パッケージに適用されるものであり、この BGA パッケージに内蔵されるプリント基板を、電源層、グランド層および信号層を積層する多層構造として、コンデンサを電源層とグランド層との間に接続するものである。

【0010】 この電源層とグランド層との間に接続するコンデンサを、外部からの電源供給端子の極めて近傍に配設し、かつコンデンサの端子の長さを極めて短くするようにしたものである。

【0011】 特に、このコンデンサとして、周波数特性が良く、高速パルスに対して十分な低インピーダンスとなる素子を用いるようにしたものである。

【0012】 また、電源層とグランド層との間にコンデンサを接続する代わりに、隣接する電源層とグランド層との間に誘電体層を形成して内部容量を強化するものである。

【0013】 特に、この誘電体層として、強誘電体材料による層を形成するようにしたものである。

【0014】

【作用】前記した半導体集積回路装置によれば、コンデンサがプリント基板の電源層とグランド層との間に接続されることにより、このコンデンサをバイパスコンデンサとして作用させ、電源ラインに発生する電流変動を抑え、集積回路の動作に影響するノイズを低減することができる。

【0015】この場合に、コンデンサを電源供給端子の極めて近傍に配設して端子の長さを極めて短くしたり、また周波数特性が良く、高速パルスに対して十分な低インピーダンスとなるコンデンサを用いることにより、より一層、ノイズの低減が可能となり、特に高速アンプなどのアナログ回路に十分な効果を得ることができる。

【0016】また、誘電体層が隣接する電源層とグランド層との間に形成される場合にも、誘電体層をバイパスコンデンサとして作用させることができるので、前記同様に電源ラインに発生する電流変動を抑えてノイズの低減が可能となる。

【0017】この場合に、誘電体層を強誘電体材料によって形成することにより、より一層、ノイズの低減が可能となる。

【0018】これにより、表面実装形のBGAパッケージにおいて、電源層とグランド層との間にコンデンサを接続したり、または誘電体層を形成することによってノイズキラーとして作用させ、高密度・高速化に対応したノイズ対策を施すことができる。

【0019】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0020】（実施例1）図1は本発明の一実施例である半導体集積回路装置を示す断面図、図2は本実施例の半導体集積回路装置の要部を示す断面図である。

【0021】まず、図1により本実施例の半導体集積回路装置の構成を説明する。

【0022】本実施例の半導体集積回路装置は、たとえば表面実装形のBGAパッケージとされ、プリント基板1の裏面に球形の半田バンプ2がアレイ状に並べられて入出力端子とされ、このプリント基板1の表面には半導体チップ3とコンデンサ4が搭載され、半導体チップ3上の電極からボンディングワイヤ5によりプリント基板1上の電極に接続され、またコンデンサ4の端子もプリント基板1上の電極に接続され、モールド樹脂6により封止された構造となっている。

【0023】このBGAパッケージのプリント基板1は、たとえば図2に示すように、表面から順に電源層7、グランド層8および信号層9が積層された3層構造となっており、このプリント基板1には表面から裏面に通じる複数のスルーホール10が形成され、それぞれのスルーホール10を介して電源層7、グランド層8または信号層9に接続されている。なお、図2においては、代表的なスルーホール10のみを図示している。

【0024】また、半導体チップ3においては、半導体チップ3上の電源用の電極がボンディングワイヤ5a、スルーホール10a、電源層7を介して電源用の半田バンプ2aに接続され、同様にグランド用の電極がボンディングワイヤ5b、スルーホール10b、グランド層8を介してグランド用の半田バンプ2bに接続され、信号用の電極がボンディングワイヤ5c、スルーホール10c、信号層9を介して信号用の半田バンプ2cに接続されている。

10 【0025】さらに、コンデンサ4については、外部からの電源供給端子の極めて近傍に配設され、かつ端子の長さが極めて短くされて、一方の端子がスルーホール10dを介して電源層7に接続され、かつ他方の端子がスルーホール10eを介してグランド層8に接続されている。

【0026】また、このコンデンサ4としては、たとえばセラミックコンデンサなどの周波数特性が良く、高速パルスに対して十分な低インピーダンスとなる素子が用いられている。

20 【0027】次に、本実施例の作用について説明する。

【0028】たとえば、本実施例のBGAパッケージは、図1のようにマザー基板11などに他の機能を持つBGAパッケージなどとともに実装されて、所定の電子回路が構成されるようになっている。

【0029】この場合に、BGAパッケージの信号層9に接続される半田バンプ2cは、マザー基板11の信号用の電極に接続され、これによって信号の入出力を、BGAパッケージの信号用の半田バンプ2cを通じてマザー基板11、さらに他の機能を持つBGAパッケージなどとの間で行うことができる。

30 【0030】また、BGAパッケージの電源層7に接続される半田バンプ2aは、マザー基板11の電源用の電極に接続され、これによって電源の供給を、マザー基板11からBGAパッケージの電源用の半田バンプ2aを通じて供給することができる。

40 【0031】さらに、BGAパッケージのグランド層8に接続される半田バンプ2bは、マザー基板11のグランド用の電極に接続され、これによってBGAパッケージのグランド用の半田バンプ2b、マザー基板11を通じて接地することができる。

【0032】ところで、BGAパッケージに対して、マザー基板11の電源用の電極を通じて供給される電源には電流変動が生じている場合があり、このために本実施例においてはプリント基板1に搭載したコンデンサ4をバイパスコンデンサとして作用させることができる。

50 【0033】これによって、BGAパッケージの内部において、コンデンサ4によって電流変動を抑え、半導体チップ3内の集積回路の動作に影響するノイズを低減して、負荷変動やノイズリプルを発生を防ぎ、さらに他の回路に対しても影響を与えないようにすることができ

る。

【0034】従って、本実施例の半導体集積回路装置によれば、電源層7、グランド層8および信号層9が積層されるプリント基板1において、コンデンサ4の端子がスルーホール10d、10eを介して電源層7とグランド層8との間に接続されることにより、このコンデンサ4をバイパスコンデンサとして作用させることができるので、電源ラインに発生する電流変動を抑えてノイズを低減することができる。

【0035】特に、コンデンサ4を、外部からの電源供給端子の極めて近傍に配設し、かつ端子の長さを極めて短くすることにより、半導体チップ3までの配線パターンや、コンデンサの端子によるノイズ発生要因を少なくすることができる。

【0036】さらに、周波数特性が良く、高速パルスに対して十分な低インピーダンスとなるコンデンサ4を用いることにより、ノイズ対策に最適なコンデンサ4を選定することができる。

【0037】よって、表面実装形のBGAパッケージの半導体集積回路装置において、より一層、高密度・高速化に対応したノイズの低減が可能となる。

【0038】（実施例2）図3は本発明の他の実施例である半導体集積回路装置の要部を示す断面図である。

【0039】本実施例の半導体集積回路装置は、実施例1と同様に表面実装形のBGAパッケージとされ、プリント基板12の裏面に球形の半田バンプ2がアレイ状に並べられて入出力端子とされ、このプリント基板12の表面には半導体チップ3が搭載され、半導体チップ3上の電極からボンディングワイヤ5によりプリント基板12上の電極に接続され、モールド樹脂6により封止された構造となっており、実施例1との相違点は、コンデンサ4を接続する代わりにプリント基板12の内部容量を強化する点である。

【0040】すなわち、本実施例のBGAパッケージにおいては、図3に示すように、プリント基板12が電源層7、グランド層8および信号層9が積層された3層構造となっており、このプリント基板12の隣接する電源層7とグランド層8との間に強誘電体層13が形成されている。これによって、BGAパッケージの内部において、強誘電体層13をバイパスコンデンサとして作用させることができる。

【0041】なお、この強誘電体層13は、たとえばチタン酸バリウム（ BaTiO_3 ）などの強誘電体材料による薄膜として形成し、電源層7とグランド層8との間に挿入して、通常が多層基板の製造プロセスと同様に積層して形成することができる。

【0042】従って、本実施例の半導体集積回路装置によれば、電源層7、グランド層8および信号層9が積層されるプリント基板12において、隣接する電源層7とグランド層8との間に強誘電体層13が形成されること

により、この強誘電体層13を実施例1と同様にバイパスコンデンサとして作用させることができるので、電源ラインに発生する電流変動を抑えて高密度・高速化に対応したノイズの低減が可能となる。

【0043】以上、本発明者によってなされた発明を実施例1および2に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

10 【0044】たとえば、前記実施例1の半導体集積回路装置については、コンデンサ4としてセラミックコンデンサを用いた場合について説明したが、本発明は前記実施例に限定されるものではなく、マイカコンデンサ、フィルムコンデンサなどについても適用可能であり、特に周波数特性が良く、高速パルスに対して十分な低インピーダンスとなる素子が良好である。

20 【0045】また、前記実施例2においては、強誘電体層13をチタン酸バリウムの強誘電体材料により形成する場合について説明したが、たとえばニオブ酸カリウム（ KNbO_3 ）などの強誘電体材料、さらにアルミナ、ステアタイトなどの誘電体材料についても広く適用可能である。

【0046】以上の説明では、主として本発明者によってなされた発明をその利用分野であるBGAパッケージに用いられる半導体集積回路装置に適用した場合について説明したが、これに限定されるものではなく、他のパッケージ技術、BGA技術とプリント基板を用いた実装技術全体について広く適用可能である。

【0047】

30 【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0048】(1). BGAパッケージに内蔵されるプリント基板を、電源層、グランド層および信号層を積層する多層構造として、表面に実装したコンデンサの端子を電源層とグランド層との間に接続することにより、このコンデンサをバイパスコンデンサとして作用させることができるので、電源ラインに発生する電流変動を抑え、集積回路の動作に影響するノイズの低減が可能となる。

40 【0049】(2). 前記(1)において、コンデンサを外部からの電源供給端子の極めて近傍に配設し、かつコンデンサの端子の長さを極めて短くすることにより、半導体チップまでの配線パターンや、コンデンサの端子に依存するノイズ発生要因を少なくすることができるので、より一層、ノイズ低減が可能となる。

【0050】(3). 前記(1)において、コンデンサとして、周波数特性が良く、高速パルスに対して十分な低インピーダンスとなる素子を用いることにより、ノイズ対策に最適なコンデンサを選定することができるので、より一層、ノイズ低減が可能となる。

7

【0051】(4). BGAパッケージに内蔵されるプリント基板を、電源層、グランド層および信号層を積層する多層構造として、隣接する電源層とグランド層との間に誘電体層を形成して内部容量を強化することにより、この誘電体層をバイパスコンデンサとして作用させることができるので、前記(1)と同様に電源ラインに発生する電流変動を抑えてノイズの低減が可能となる。

【0052】(5). 前記(4)において、誘電体層として、強誘電体材料による層を形成することにより、さらに内部容量を強化することができるので、より一層、ノイズ低減が可能となる。

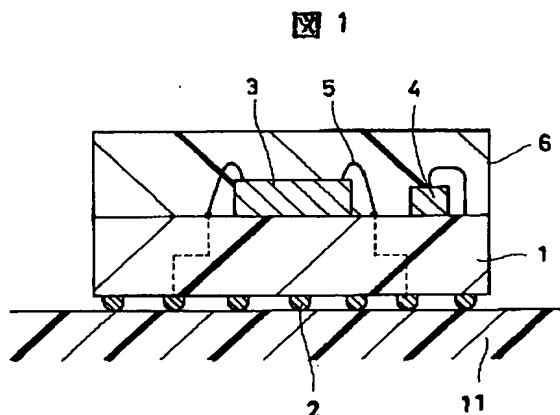
【0053】(6). 前記(1)～(5)により、表面実装形のBGAパッケージにおいて、電源層とグランド層との間にコンデンサを接続したり、または誘電体層を形成することによってノイズキラーとして作用させ、高密度・高速化に対応したノイズ対策が可能とされる半導体集積回路装置を得ることができる。

【図面の簡単な説明】

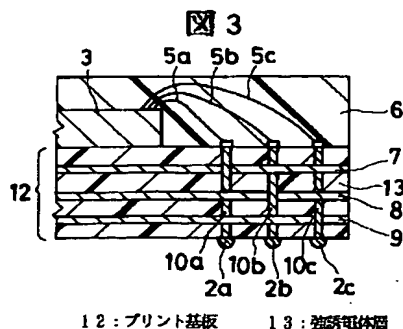
【図1】本発明の実施例1である半導体集積回路装置を *

20

【図1】



【図3】



12:プリント基板

13:強誘電体層

(5)

8

* 示す断面図である。

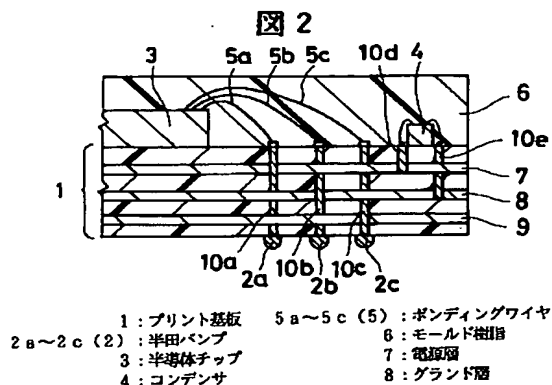
【図2】実施例1の半導体集積回路装置の要部を示す断面図である。

【図3】本発明の実施例2である半導体集積回路装置の要部を示す断面図である。

【符号の説明】

- 1 プリント基板
- 2, 2a～2c 半田バンプ
- 3 半導体チップ
- 4 コンデンサ
- 5, 5a～5c ボンディングワイヤ
- 6 モールド樹脂
- 7 電源層
- 8 グランド層
- 9 信号層
- 10, 10a～10e スルーホール
- 11 マザー基板
- 12 プリント基板
- 13 強誘電体層

【図2】



- 1:プリント基板
- 2a～2c (2):半田バンプ
- 3:半導体チップ
- 4:コンデンサ
- 5a～5c (5):ボンディングワイヤ
- 6:モールド樹脂
- 7:電源層
- 8:グランド層